

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

ELE2302 : CIRCUITS ÉLECTRONIQUES

EXAMEN FINAL

Notes :

1. Documentation : Feuilles manuscrites autorisées.
2. Calculatrice autorisée.
3. Nombre de pages : 5 (à vérifier avant de commencer à répondre aux questions).
4. Justification des réponses : les réponses non justifiées seront considérées incomplètes.
5. Justification des calculs : pour les questions d'applications numériques, les résultats balancés sans explication ne seront pas pris en compte.

Conseils :

1. Lire tous les exercices avant de commencer à répondre aux questions.
2. Bien répartir votre temps en fonction du barème.
3. Pour les calculs numériques, donner toujours le calcul analytique avant de remplacer par les valeurs numériques.

1. Exercice 1 (4 pts)

On considère le circuit de la Figure 1-1. On suppose qu'on a $V_{CC}=10\text{ V}$, $R_C=2.5\text{ k}\Omega$, $R_B=200\text{ k}\Omega$, la tension thermique $V_T=25\text{ mV}$, et que le transistor NPN a un gain en courant $\beta=100$.

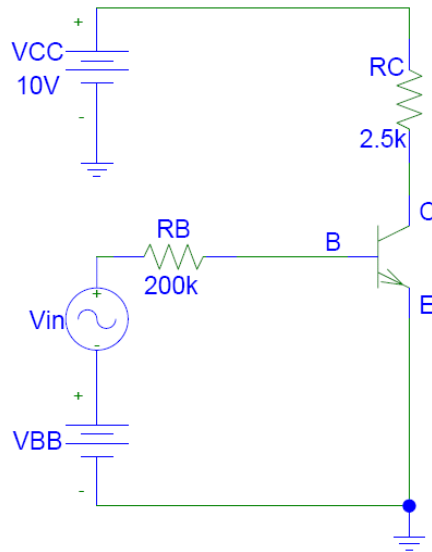


Figure 1-1

- 1.1 En approximant la jonction base émetteur par une chute de tension de 0.8 V ($V_{BE}=0.8\text{ V}$), calculer la valeur de la tension V_{BB} qui permet d'avoir un courant de polarisation $I_C=2\text{ mA}$.
- 1.2 En supposant que le transistor a une tension $v_{BE}=0.8\text{ V}$ pour un courant $i_C=1\text{ mA}$, calculer la valeur de la tension V_{BB} qui permet d'avoir un courant de polarisation $I_C=2\text{ mA}$.
- 1.3 En négligeant la résistance r_o , calculer le gain en tension du montage en considérant la tension de collecteur en sortie ($A_v=v_c/v_{in}$).
- 1.4 On suppose que le signal d'entrée v_{in} est un signal sinusoïdal d'amplitude 1 V , tracer sur deux périodes et sur le même graphique, les signaux v_{in} , v_c et v_C en fonction du temps.

2. Exercice 2 (5 pts)

On considère le circuit de la Figure 2-1. On suppose qu'on a $V_{CC}=15\text{ V}$, $R_C=4.3\text{ k}\Omega$, $R_E=6.3\text{ k}\Omega$, $R_{B1}=100\text{ k}\Omega$, $R_{B2}=100\text{ k}\Omega$, la tension thermique $V_T=25\text{ mV}$, et que le transistor NPN a un gain en courant $\beta=100$ et une tension Early $V_A=100\text{ V}$. On suppose aussi que toutes les capacités de couplage/découplage sont parfaites (équivalentes à des courts-circuits pour les fréquences considérées) et qu'on néglige les capacités internes du transistor.

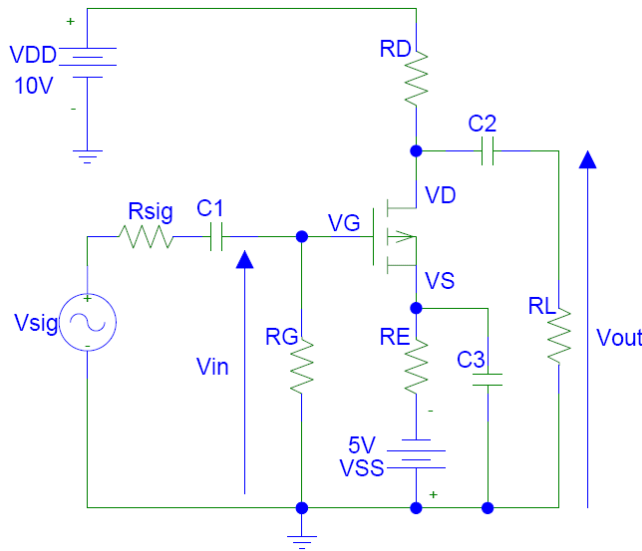


Figure 3-1

- 3.1 Calculer les valeurs des résistances R_D et R_E , pour polariser le circuit avec un courant $I_D=1\text{ mA}$ et une tension $V_{DS}=4.5\text{ V}$.
- 3.2 Calculer les paramètres petits signaux du transistor NMOS pour la polarisation de la question 3.1.
- 3.3 Dessiner le circuit petit signal équivalent de l'amplificateur en remplaçant le transistor par son modèle petit signal en π .
- 3.4 Donner les expressions et les valeurs des gains en tension : v_{in}/v_{sig} , v_{out}/v_{in} , et v_{out}/v_{sig} . Pour l'application numérique, on prendra $R_{sig}=100\text{ k}\Omega$, $R_G=3.3\text{ M}\Omega$, et $R_L=10\text{ k}\Omega$.
- 3.5 Donner l'expression du gain v_{out}/v_{in} en considérant le même montage, mais sans le condensateur C3 et en négligeant la résistance r_o du transistor.
- 3.6 Quel est le rôle du condensateur C3 ?

4. Exercice 4 (5 pts)

- 4.1 Donner le schéma en transistors de la porte CMOS qui permet de réaliser la fonction suivante : $Y = \overline{(A + B).C}$
- 4.2 Donner les dimensions des transistors qui permettent d'obtenir dans les pires cas les mêmes délais de propagation qu'un inverseur réalisé avec un transistor PMOS ayant $(W/L)_p=4\mu\text{m}/0.5\mu\text{m}$ et un transistor NMOS ayant $(W/L)_n=1\mu\text{m}/0.5\mu\text{m}$.
- 4.3 On suppose que la porte CMOS de la question 4.2 fonctionne avec une tension d'alimentation $V_{DD}=5\text{ V}$, et qu'on a $V_{tn}=-V_{tp}=1\text{ V}$ et $\mu_n C_{ox}=4\mu_p C_{ox}=0.5\text{ mA/V}^2$. Calculer la résistance R_{DS} de chaque transistor de la porte (résistance équivalente du transistor lorsqu'il conduit).

- 4.4 Pour cette question, on suppose que la porte CMOS de la question 4.2 est connectée à une capacité $C=10\text{ pF}$, et que les entrées de la porte varient instantanément de 0 à V_{DD} et de V_{DD} à 0. En remplaçant les transistors par leur résistances équivalentes R_{DS} , calculer le temps t_{PLH} nécessaire à la sortie pour passer de 0 à $V_{DD}/2$ et le temps t_{PHL} nécessaire à la sortie pour passer de V_{DD} à $V_{DD}/2$ dans les pires cas (pires temps de propagation).
- 4.5 En utilisant les mêmes suppositions que pour la question 4.4, calculer le temps t_{PLH} nécessaire à la sortie pour passer de 0 à $V_{DD}/2$ et le temps t_{PHL} nécessaire à la sortie pour passer de V_{DD} à $V_{DD}/2$ dans les meilleurs cas (meilleurs temps de propagation).

Bonne chance !